

Patent Abstracts of Japan

PUBLICATION NUMBER : 05122440  
PUBLICATION DATE : 18-05-93

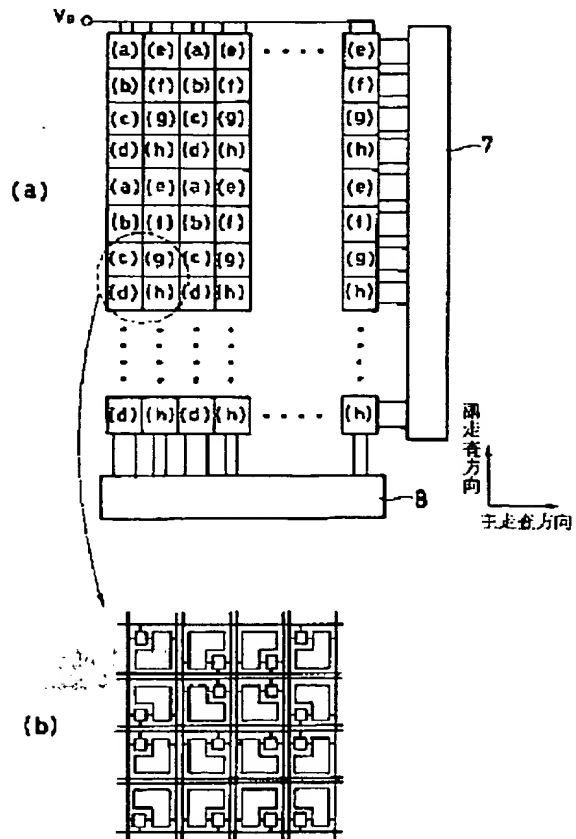
APPLICATION DATE : 25-10-91  
APPLICATION NUMBER : 03305656

APPLICANT : FUJI XEROX CO LTD;

INVENTOR : KOBAYASHI KENICHI;

INT.CL. : H04N 1/028 H01L 27/146 H04N 1/04  
H04N 5/335

TITLE : TWO-DIMENSIONAL CONTACT IMAGE  
SENSOR



ABSTRACT : PURPOSE: To suppress the noise like moire for read or a printed matter like dots by using and two-dimensionally arranging four kinds of picture element pattern where a separating means is arranged at four corners of a picture element.

CONSTITUTION: Four kinds of picture element pattern where a thin film transistor of a switching element or a window for illumination is arranged at four corners of the picture element are two-dimensionally arranged at random, and four kinds of picture element pattern are combined to generate plural groups, and these groups are two-dimensionally arranged at random. Concretely, arrangement patterns (a) to (d) and arrangement patterns (e) to (h) are repeatedly arranged in the longitudinal direction. That is, a unit array of picture element groups (a) to (d), (a) to (d)... arranged in the (y) direction and that of picture element groups (e) to (h), (e) to (h),... arranged in the (x) direction are alternately arranged. A shift register 7 and an analog multiplexer 8 are provided on the outside of the light reception area where array patterns are two-dimensionally arranged.

COPYRIGHT: (C)1993,JPO&Japio

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-122440

(43) 公開日 平成5年(1993)5月18日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 1/028	Z	9070-5C		
H 0 1 L 27/146				
H 0 4 N 1/04	1 0 2	7251-5C		
5/335	W	8838-5C		
		7210-4M		
			H 0 1 L 27/14	C
審査請求 未請求 請求項の数4 (全 10 頁)				

(21) 出願番号 特願平3-305656

(22) 出願日 平成3年(1991)10月25日

(71) 出願人 000005496

富士ゼロックス株式会社  
東京都港区赤坂二丁目3番5号

(72) 発明者 三宅 弘之

神奈川県海老名市本郷2274番地 富士ゼロ  
ックス株式会社海老名事業所内

(72) 発明者 安部 勉

神奈川県海老名市本郷2274番地 富士ゼロ  
ックス株式会社海老名事業所内

(72) 発明者 蒔田 聖吾

神奈川県海老名市本郷2274番地 富士ゼロ  
ックス株式会社海老名事業所内

(74) 代理人 弁理士 阪本 清孝 (外1名)

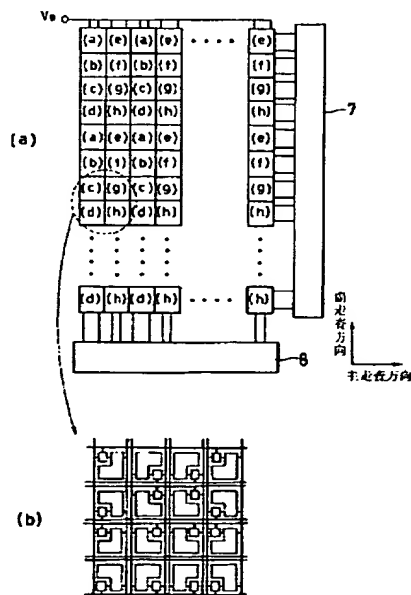
最終頁に続く

(54) 【発明の名称】 2次元密着型イメージセンサ

(57) 【要約】

【目的】 網点等の印刷物を読み取ったときに生じるモアレ等のノイズを抑制することができる2次元密着型イメージセンサを提供する。

【構成】 画素内のスイッチング素子の薄膜トランジスタ3又は照明用窓12の配置を画素内の四隅にした4種類の画素パターンをランダムに2次元に配列し、また4種類の画素パターンを組み合わせる複数のグループを作り、このグループをランダムに2次元に配列した2次元密着型イメージセンサである。



## 【特許請求の範囲】

【請求項1】 受光素子と前記受光素子に接続する分離手段と照明用窓とを有する複数の画素を2次元に配列する2次元密着型イメージセンサにおいて、前記分離手段の位置を前記画素の四隅に配置した4種類の画素パターンを使って2次元に配列したことを特徴とする2次元密着型イメージセンサ。

【請求項2】 請求項1記載の2次元密着型イメージセンサにおいて、4種類の画素パターンを複数組み合わせる複数のグループとし、前記複数のグループを使って2次元に配列したことを特徴とする2次元密着型イメージセンサ。

【請求項3】 受光素子と前記受光素子に接続する分離手段と照明用窓とを有する複数の画素を2次元に配列する2次元密着型イメージセンサにおいて、前記照明用窓の位置を前記画素の四隅に配置した4種類の画素パターンを使って2次元に配列したことを特徴とする2次元密着型イメージセンサ。

【請求項4】 請求項3記載の2次元密着型イメージセンサにおいて、4種類の画素パターンを複数組み合わせる複数のグループとし、前記複数のグループを使って2次元に配列したことを特徴とする2次元密着型イメージセンサ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、複数の受光素子が2次元に配列されて、原稿に密着して読み取る2次元密着型イメージセンサに係り、特に網点の印刷物などを読み取ったときに生じる濃淡差（モアレ）等のノイズを抑制することができる2次元密着型イメージセンサに関する。

## 【0002】

【従来の技術】 従来の2次元密着型イメージセンサとしては、図12の等価回路図に示すような構成のものがあった。この2次元密着型イメージセンサの構成を以下に説明する。イメージセンサの構成単位である一画素は、透明な基板1上に形成された光電変換部である受光素子（フォトダイオード）2と、他の画素との分離を行う分離手段となり、電荷転送を行うスイッチング素子である薄膜トランジスタ（TFT）3及び探光部とから成り、この一画素が行方向（主走査方向）と列方向（副走査方向）の2次元のマトリクス状に配置されて受光エリアを形成している。

【0003】 各画素における受光素子2の透明電極は薄膜トランジスタ3のドレイン電極に接続され、また各薄膜トランジスタ3のゲート電極は行毎に共通のゲート線13に接続され、ゲート線13は行毎に薄膜トランジスタのON/OFFを制御するシフトレジスタ7に接続されている。そして、各薄膜トランジスタ3のソース電極は列毎に共通のデータ線14に接続され、データ線14には電荷が転送される負荷容量CLが設けられ、更に、

データ線14は電荷を読み取るアナログマルチプレクサ8に接続されている。

【0004】 上記構成のイメージセンサにおいて、原稿面からの反射光の光量に応じて受光素子2で発生した電荷が、薄膜トランジスタ3のON/OFFにより行毎に順次複数のアナログマルチプレクサ8に転送されて読み出され、画像信号として出力されるようになっていた（特開昭64-62980号公報参照）。

【0005】 このような従来の2次元密着型イメージセンサにおける一画素の具体的構成を、図13の平面説明図及び図14の断面説明図を使って説明する。

【0006】 図13に示すように、一画素は、透明性の基板1上に光電変換部の受光素子2と、受光素子2で発生した電荷を転送する電荷転送用のスイッチング素子である薄膜トランジスタ（TFT）3と、受光素子2の中央部に設けられ、基板1の裏面から光を取り入れる照明用窓12とから構成されている。図13では、一画素内のTFT3の配置面積を考慮すると、TFT3を除いた部分が受光素子2の受光部分となっており、従って受光部分は凹部を持った形状となっていた。

【0007】 受光素子2は、図14に示すように、ガラス等の絶縁性の基板1上に窒化シリコン（SiNx）、水素化アモルファスシリコン（a-Si:H）、n+水素化アモルファスシリコン（n+ a-Si:H）を順次積層して、その上に形成された下部共通電極となるクロム（Cr）等による金属電極21と、各受光素子毎に分割形成されたイントリニシク水素化アモルファスシリコン（i-a-Si:H）から成る光導電層22と、同様に分割形成された酸化インジウム・スズ（ITO）等から成る上部透明電極23とが順次積層するサンドイッチ型を構成している。そして、金属電極21にはバイアス電圧が印加されるようになっている。また、受光素子2の中心部には、上記各層を形成せずに照明用窓12が形成されている。

【0008】 薄膜トランジスタ3の構成は、図14に示すように、基板1上にゲート電極24としてのクロム（Cr1）層、ゲート絶縁層25としてのシリコン窒化膜（SiNx）、半導体活性層26としての水素化アモルファスシリコン（a-Si:H）層、ゲート電極24に対向するように設けられたチャネル保護層27としてのSiNx、オーミックコンタクト層28としてのn+水素化アモルファスシリコン（n+ a-Si:H）層、ドレイン電極30とソース電極31としてのクロム（Cr2）層、その上に絶縁層としてポリイミド層32、更にその上にアルミニウム（Al）の配線層33とを順次積層した逆スタガ構造のトランジスタである。

【0009】 また、別の従来の2次元密着型イメージセンサにおける一画素の具体的構成を、図15の平面説明図及び図16の断面説明図を使って説明する。

【0010】 図15に示すように、別の従来例の一画素

は、TFT3のドレイン電極上にも受光素子2を形成するようにしているので、受光素子2の受光面積をほぼ正方形に近くすることができ、そして、この受光素子2の中心部に正方形の照明用窓12が設けられる構成となっている。

【0011】図16における受光素子2は、基本的には金属電極21、光導電層22、透明電極23から構成されるが、透明電極23にバイアス電圧が印加され、金属電極21が個別電極となってTFT3のドレイン電極30に接続するようになっている。

【0012】図16におけるTFT3は、基本的にはゲート電極24、ゲート絶縁層25、半導体活性層26、チャネル保護層27、オーミックコンタクト層28、ドレイン電極30とソース電極31を積層した逆スタガ型のトランジスタであるが、特にドレイン電極30上に受光素子2の一部が形成されるようになっている。

【0013】

【発明が解決しようとする課題】しかしながら、上記従来の2次元密着型イメージセンサにおいて、図13及び図14に示すセンサでは、1画素の受光部（受光画素）の内ではスイッチ素子の占める部分及び照明用窓12の部分は非光電変換部となって、受光画素は本来の解像度における面積よりも小さくなり、また形も凹部を持ったものとなっているため、このような受光画素が規則正しく配列した構造では、網点の印刷物等を読み取る場合に網点のピッチによりモアレ（濃淡の差）が発生するという問題点があった。

【0014】また、図15及び図16に示すように、受光素子2の中央部に正方形の照明用窓12を設けた構成の2次元密着型イメージセンサにおいても、このような受光画素を規則正しく配列した構造では、同様にモアレが発生するという問題点があった。

【0015】上記のモアレのような固定ノイズを抑制する方法として、従来から特開昭58-87976号公報に開示されているように受光画素を市松配置にする手法や、特開昭59-181568号公報に開示されているように平行四辺形の形状をした画素を用いる手法が提案されているが、いずれの方法も1画素毎に規則的に配置されたイメージセンサとしているため、モアレを完全に除去することは不可能となっていた。

【0016】本発明は上記実情に鑑みて為されたもので、網点の印刷物を読み取ったときに生じるモアレ等のノイズを抑制することができる2次元密着型イメージセンサを提供することを目的とする。

【0017】

【課題を解決するための手段】上記従来例の問題点を解決するための請求項1記載の発明は、受光素子と前記受光素子に接続する分離手段と照明用窓とを有する複数の画素を2次元に配列する2次元密着型イメージセンサにおいて、前記分離手段の位置を前記画素の四隅に配置し

た4種類の画素パターンを使って2次元に配列したことを特徴としている。

【0018】上記従来例の問題点を解決するための請求項2記載の発明は、請求項1記載の2次元密着型イメージセンサにおいて、4種類の画素パターンを複数組み合わせさせて複数のグループとし、前記複数のグループを使って2次元に配列したことを特徴としている。

【0019】上記従来例の問題点を解決するための請求項3記載の発明は、受光素子と前記受光素子に接続する分離手段と照明用窓とを有する複数の画素を2次元に配列する2次元密着型イメージセンサにおいて、前記照明用窓の位置を前記画素の四隅に配置した4種類の画素パターンを使って2次元に配列したことを特徴としている。

【0020】上記従来例の問題点を解決するための請求項4記載の発明は、請求項3記載の2次元密着型イメージセンサにおいて、4種類の画素パターンを複数組み合わせさせて複数のグループとし、前記複数のグループを使って2次元に配列したことを特徴としている。

【0021】

【作用】請求項1記載の発明によれば、画素内の他の画素とを分離する分離手段を四隅に配置した4種類の画素パターンをランダムに2次元に配列した2次元密着型イメージセンサとしているので、受光画素の配列を不規則化してモアレを抑制し、網点等の画像を正しく読み取ることができる。

【0022】請求項2記載の発明によれば、請求項1記載の2次元密着型イメージセンサの4種類の画素パターンを組み合わせさせて複数のグループとし、このグループをランダムに2次元に配列した2次元密着型イメージセンサとしているので、受光画素の配列を不規則化してモアレを抑制し、網点等の画像を正しく読み取ることができる。更に上記グループを繰り返し配列することで、設計製造を容易にできる。

【0023】請求項3記載の発明によれば、画素内の照明用窓を四隅に配置した4種類の画素パターンをランダムに2次元に配列した2次元密着型イメージセンサとしているので、受光画素の配列を不規則化してモアレを抑制し、網点等の画像を正しく読み取ることができる。

【0024】請求項4記載の発明によれば、請求項3記載の2次元密着型イメージセンサの4種類の画素パターンを組み合わせさせて複数のグループとし、このグループをランダムに2次元に配列した2次元密着型イメージセンサとしているので、受光画素の配列を不規則化してモアレを抑制し、網点等の画像を正しく読み取ることができる。更に上記グループを繰り返し配列することで、設計製造を容易にできる。

【0025】

【実施例】本発明の一実施例について図面を参照しながら説明する。本発明の一実施例に係る2次元密着型イメ

ージセンサは、1画素内における受光素子とスイッチング素子との配置の仕方の組み合わせに注目し、画素の配列を不規則化するものである。

【0026】一般的に2次元密着型イメージセンサの1画素は、受光素子と他の画素から分離する分離手段となるスイッチング素子と照明用窓とから構成されている。ここで、受光素子は非晶質シリコンpinフォトダイオードやショットキー型フォトダイオードであってもよいし、またスイッチング素子の代わりにブロッキングダイオードをもちいても構わない。そして、1画素を構成する10 ためには、スイッチング素子は受光素子と隣接し、かつ共通ゲート線と共通データ線に接続しなければならないという条件を満たす必要がある。

【0027】また、受光素子は感度を良くするために受光面積をできるだけ広くしなければならず、そのため、図13に示すようにスイッチング素子は受光素子の受光面積の一部を削った部分に配置されるようなパターンとなっている。

【0028】このような1画素の配置パターンでは、スイッチング素子の薄膜トランジスタ(TFT)3は幾何学的に受光素子2に対して1画素内の4つの隅に配置可能であるので、図1(a)～(d)に示すように、4種類の配置パターンが考えられる。図1は、2次元密着型イメージセンサの1画素内の配置パターンの例を示した図であり、図13に示した1画素内の受光素子2とTFT3の配置を、基本的に横方向がゲート線13で、縦方向がデータ線14となるように組み合わせたものである。

【0029】図1(a)は、図中において、上側にゲート線13を左側にデータ線14を配置し、1画素内の左上にTFT3が形成され、その部分を除いて受光素子2が形成されている。図1(b)は、図中において、上側にゲート線13を右側にデータ線14を配置し、1画素内の右上にTFT3が形成され、その部分を除いて受光素子2が形成されている。図1(c)は、図中において、下側にゲート線13を左側にデータ線14を配置し、1画素内の左下にTFT3が形成され、その部分を除いて受光素子2が形成されている。図1(d)は、図中において、下側にゲート線13を右側にデータ線14を配置し、1画素内の右下にTFT3が形成され、その部分を除いて受光素子2が形成されている。

【0030】本実施例では、図1(a)、(b)、(c)、(d)の4種類の配置パターンによる発光画素をランダムに2次元配列することにより、配列の不規則化を図るものである。

【0031】しかしながら、2次元密着型イメージセンサを作製するプロセスの中で、パターンニングはステップの繰り返し露光などによるフォトリソグラフィを利用していること、また設計上の容易さなどを考慮すると、複数の種類の異なる配置パターンの発光画素を組み合わ

せてグループ(第1のグループ)とし、この第1のグループを1単位とし、この単位の繰り返しによる画素配列にする方が製造プロセス上及び設計上望ましい。そのため、複数画素の集合であるグループ(第1のグループ)の中で画素をランダムに配列してみ、数種類のグループを作成し、このグループ単位を利用することで不規則性を持たせるようにできる。

【0032】ここで、上記不規則性の条件を考慮すると、一般的な2次元密着型イメージセンサでは、画素選択を行う薄膜トランジスタ(TFT)のゲート電極は、主走査方向(行方向)の1行の全ての画素が共通に接続されてゲート線13となり、また、TFTのソース電極は、副走査方向(縦方向)の1列の全ての画素が共通に接続されてデータ線14となることが必要である。

【0033】従って、本実施例においては、共通ゲート線13と共通データ線14との接続を考慮して、図1に示した4方式の配置パターンを最も簡単な2×2の画素配列に並べて画素のグループを作ると、図2に示される8種類のグループの配列パターンが考えられる。

【0034】図2(a)～(d)は、4つの画素の横方向にゲート線13が配置され、更に4つの画素の両横側縦方向にデータ線14が配置されている配列パターンである。また、図2(e)～(h)は、横方向にゲート線13が配置され、更に4つの画素の中央縦方向にデータ線14が配置されている配列パターンである。従って、(a)～(d)の配列パターンは同じ縦方向に接続可能であり、(e)～(h)の配列パターンも同じ縦方向に接続可能であるが、前者の組の配列パターンと後者の組の配列パターンを縦方向に混同して接続することはできない。

【0035】そこで、本実施例は、図3(a)の概略図に示すように、図2(a)～(h)の配列パターンを組み合わせて2次元密着型イメージセンサを形成したものである。具体的には、図2(a)～(d)の配列パターンを縦方向(y方向=副走査方向)に繰り返し配列し、また図2(e)～(h)の配列パターンを別の縦方向に繰り返し配列したものである。つまり、本実施例では、y方向に(a)(b)(c)(d)(a)(b)(c)(d)…というような画素グループの単位列と(e)(f)(g)(h)(e)(f)(g)(h)…というような画素グループの単位列とを交互にx方向に配列するものである。尚、配列パターンを2次元に配列した受光エリアの外側には、シフトレジスタ7とアナログマルチプレクサ8が設けられている。そして、図3(b)は、図3(a)の点線円の部分を具体的回路で示した平面概略図である。

【0036】また、第2の実施例として、図4の概略図に示すように、上記y方向の画素グループの単位列をx方向に配列する際、隣接する画素グループの単位列をy方向に1画素乃至2画素分ずらして配列することでx方

向にも不規則性を大きく持たせることができる。

【0037】第3の実施例として、図5の概略図に示すように、図2に示される8種類の配列パターン(2×2画素)のグループ(第1のグループ)を基本単位として4×4パターン(8×8画素)を更に一つのグループ(第2のグループ)とし、この第2のグループを基本単位として、この8×8画素パターンを図6の概略図に示すように繰り返し規則的に配列する2次元密着型イメージセンサである。これにより、ステッパーの繰り返し露光や繰り返しを多用したレイアウト設計に適合させることができる効果がある。

【0038】上記第1～3の実施例の2次元密着型イメージセンサによれば、センサの1画素内の受光素子2とスイッチング素子の薄膜トランジスタ3との配置の仕方の組み合わせに注目し、受光画素の配列をランダム化することでモアレを抑制し、網点等の画像を正しく読み取ることができる効果がある。

【0039】次に、別の実施例(第4の実施例)の2次元密着型イメージセンサについて、図7を使って説明する。図7(a)～(d)は、図15に示した2次元密着型イメージセンサの1画素における受光素子の受光面積の内部に形成される照明用窓12の配置を中央から4隅にずらした4種類の1画素の平面概略図である。

【0040】第4の実施例の2次元密着型イメージセンサの1画素は、図15に示すように受光素子2とスイッチング素子の薄膜トランジスタ3と照明用窓12とから構成されており、このうち照明用窓12は受光素子2中の任意の位置に配置することができる。例えば、図7に示すような4種類の配置パターンが考えられ、この4種類の配置パターンによる受光画素をランダムに2次元に配列することにより2次元密着型イメージセンサを構成するものである。このように、受光素子中の照明用窓12の配置の仕方に注目し、受光画素の配列を不規則化するものである。

【0041】しかしながら、2次元密着型イメージセンサを作製するプロセスの中でパターンニングはステッパーの繰り返し露光などによるフォトリソグラフィを利用していること、また設計上の容易さ等を考慮すると、複数の種類の異なる発光画素を組み合わせる1つのグループとし、このグループ単位で繰り返し配列する方が望ましい。そのため、上記複数画素のグループ単位の中で受光画素をランダムに配列し、この単位を複数種類作成し、利用することで不規則性を持たせるようにする。

【0042】第4の実施例において、図7(a)～(d)に示される4方式の画素配置パターンを最も簡単な2×2画素パターンに並べてグループ(第1のグループ)を作り、例えば、図8(a)～(d)に示される4種類のグループの配列パターンを考える。これらは、図7(a)～(d)の画素配置パターンをそれぞれ適当に組み合わせることで4種類のグループの配列パターンを形成し

たものである。

【0043】つまり、x方向(横方向=主走査方向)、y方向(縦方向=副走査方向)共に図8(a)～(d)の配列パターンをどのような順に配列しても良いわけであるから、そこで、第4の実施例では、図9(a)に示すように、図8(a)～(d)の配列パターンをy方向に(a)(b)(c)(d)(a)(b)(c)(d)…という順に画素のグループを配列し、このy方向の画素グループの単位列をx方向に配列する際、隣接する画素グループの単位列をy方向に1画素乃至2画素分ずらして配列することでx方向にも不規則性を大きく持たせることができる。尚、図9(b)は、図9(a)の点線円の部分を具体的回路で示した平面概略図である。

【0044】第5の実施例として、図10の概略図に示すように、図8に示される4種類の配列パターン(2×2画素)のグループ(第1のグループ)を基本単位として4×4パターン(8×8画素)を更に一つのグループ(第2のグループ)とし、この第2のグループを基本単位として、この8×8画素パターンを図11の概略図に示すように繰り返し規則的に配列する2次元密着型イメージセンサである。4種類の第1のグループの配列パターンの組み合わせた第2のグループの場合も、第1のグループをランダムに選んで配列したものである。これにより、ステッパーの繰り返し露光や繰り返しを多用したレイアウト設計に適合させることができる効果がある。

【0045】尚、第4及び第5の実施例では、照明用窓12の形状を等しくその配置を変えることで不規則性を持たせたが、照明用窓12の面積が同じであればその形状を変えることにより不規則性を持たせることもできる。

【0046】第4及び第5の実施例の2次元密着型イメージセンサによれば、センサの1画素の照明用窓12の配置の仕方に注目し、受光画素の配列をランダム化することでモアレを抑制し、網点等の画像を正しく読み取ることができる効果がある。

【0047】

【発明の効果】請求項1記載の発明によれば、画素内の他の画素とを分離する分離手段を四隅に配置した4種類の画素パターンをランダムに2次元に配列した2次元密着型イメージセンサとしているので、受光画素の配列を不規則化してモアレを抑制し、網点等の画像を正しく読み取ることができる効果がある。

【0048】請求項2記載の発明によれば、請求項1記載の2次元密着型イメージセンサの4種類の画素パターンを組み合わせる複数のグループとし、このグループをランダムに2次元に配列した2次元密着型イメージセンサとしているので、受光画素の配列を不規則化してモアレを抑制し、網点等の画像を正しく読み取ることができる効果があり、更に上記グループを繰り返し配列することで、設計製造を容易にできる効果がある。

【0049】請求項3記載の発明によれば、画素内の照明用窓を四隅に配置した4種類の画素パターンをランダムに2次元に配列した2次元密着型イメージセンサとしているので、受光画素の配列を不規則化してモアレを抑制し、網点等の画像を正しく読み取ることができる効果がある。

【0050】請求項4記載の発明によれば、請求項3記載の2次元密着型イメージセンサの4種類の画素パターンを組み合わせる複数のグループとし、このグループをランダムに2次元に配列した2次元密着型イメージセンサとしているので、受光画素の配列を不規則化してモアレを抑制し、網点等の画像を正しく読み取ることができる効果があり、更に上記グループを繰り返し配列することで、設計製造を容易にできる効果がある。

【図面の簡単な説明】

【図1】 本発明の一実施例に係る2次元密着型イメージセンサの1画素内の配置パターンを示した図である。

【図2】 (a)～(h)は2×2画素の配列パターンの例を示す図である。

【図3】 (a)は図2の配列パターンを使った第1の実施例を示す概略図であり、(b)は(a)の点線円の部分を具体的回路で示した平面概略図である。

【図4】 第2の実施例の2次元密着型イメージセンサの概略図である。

【図5】 図2の配列パターンを8×8画素のグループにした例を示す図である。

【図6】 第3の実施例の2次元密着型イメージセンサの概略図である。

【図7】 別の実施例の4種類の1画素の平面概略図である。

【図8】 (a)～(d)は2×2画素の配列パターンの例を示す図である。

【図9】 (a)は図8の(a)～(d)の配列パターンを使った第4の実施例を示す概略図であり、(b)は(a)の点線円の部分を具体的回路で示した平面概略図である。

【図10】 図8の配列パターンを8×8画素のグループにした例を示す図である。

【図11】 図10のグループを使った第5の実施例の概略図である。

【図12】 従来の2次元密着型イメージセンサの等価回路図である。

【図13】 従来の2次元密着型イメージセンサの1画素の平面説明図である。

【図14】 従来の2次元密着型イメージセンサの1画素の断面説明図である。

【図15】 別の従来の2次元密着型イメージセンサの1画素の平面説明図である。

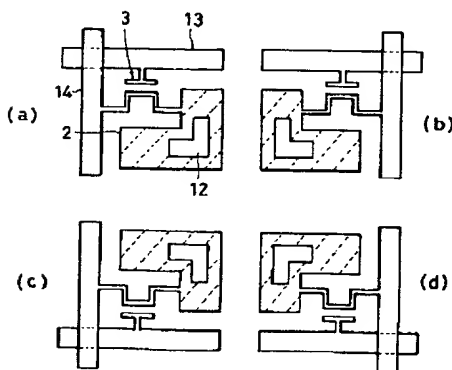
【図16】 別の従来の2次元密着型イメージセンサの1画素の断面説明図である。

【符号の説明】

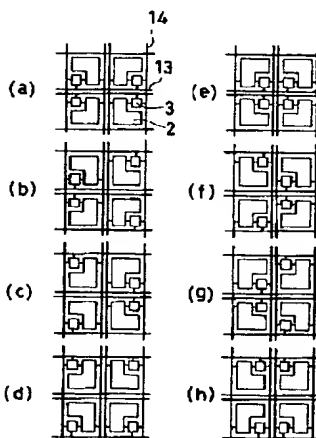
1…基板、 2…受光素子、 3…薄膜トランジスタ、  
7…シフトレジスタ、8…アナログマルチプレクサ、  
12…照明用窓、 13…ゲート線、 14…データ線、  
21…金属電極、 22…光導電層、 23…透明電極、  
24…ゲート電極、 25…ゲート絶縁層、  
26…半導体活性層、 27…チャネル保護層、 28…オーミックコンタクト層、 30…ドレイン電極、  
31…ソース電極、 32…ポリイミド層、 33…配線層

30 配線層

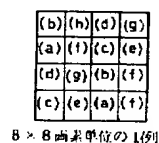
【図1】



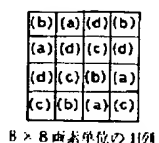
【図2】



【図5】

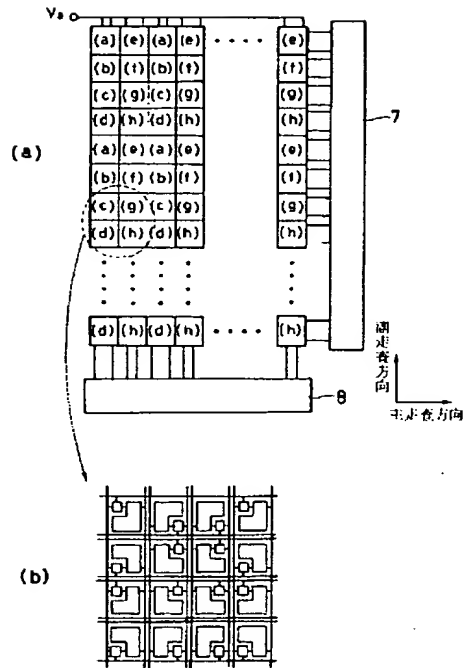


【図10】

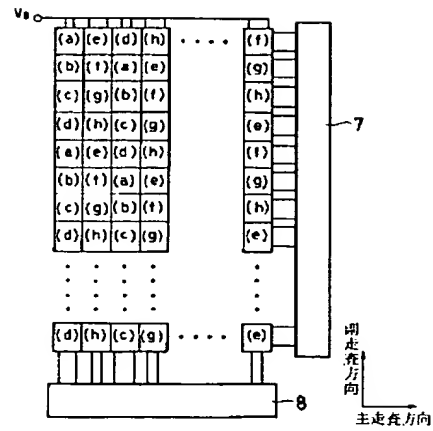




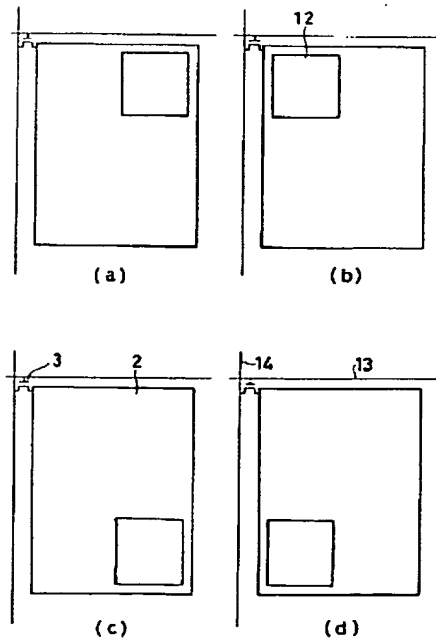
【図3】



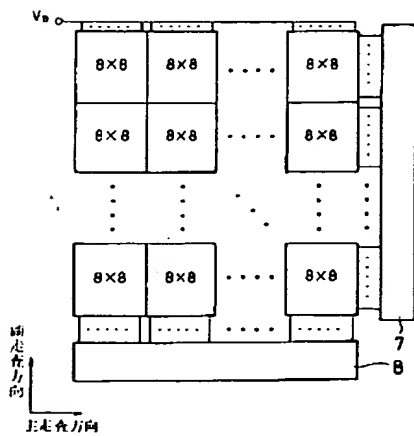
【図4】



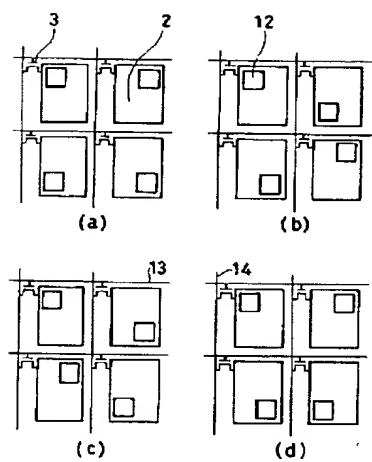
【図7】



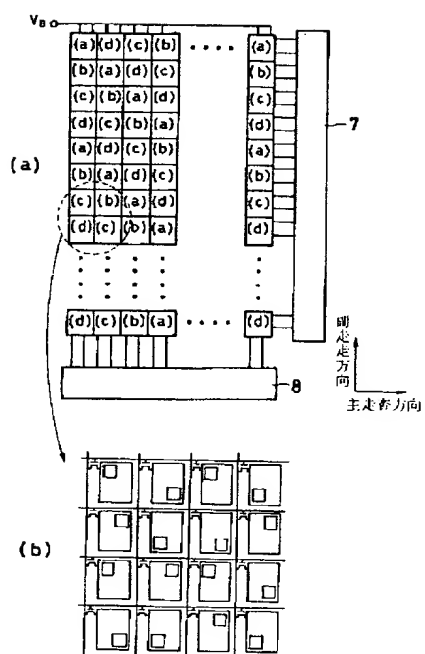
【図6】



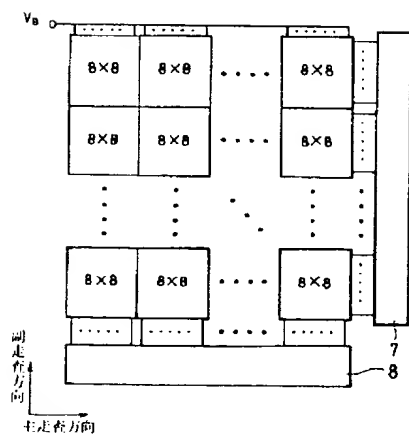
【図8】



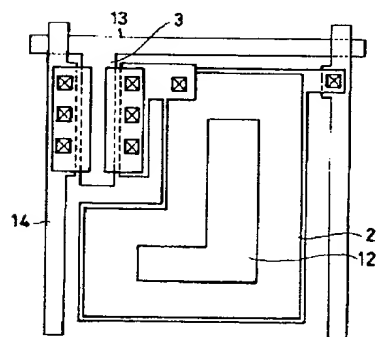
【図9】



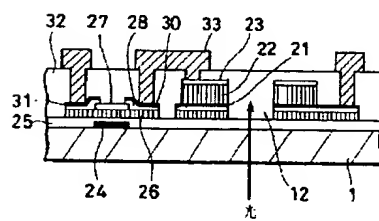
【図11】



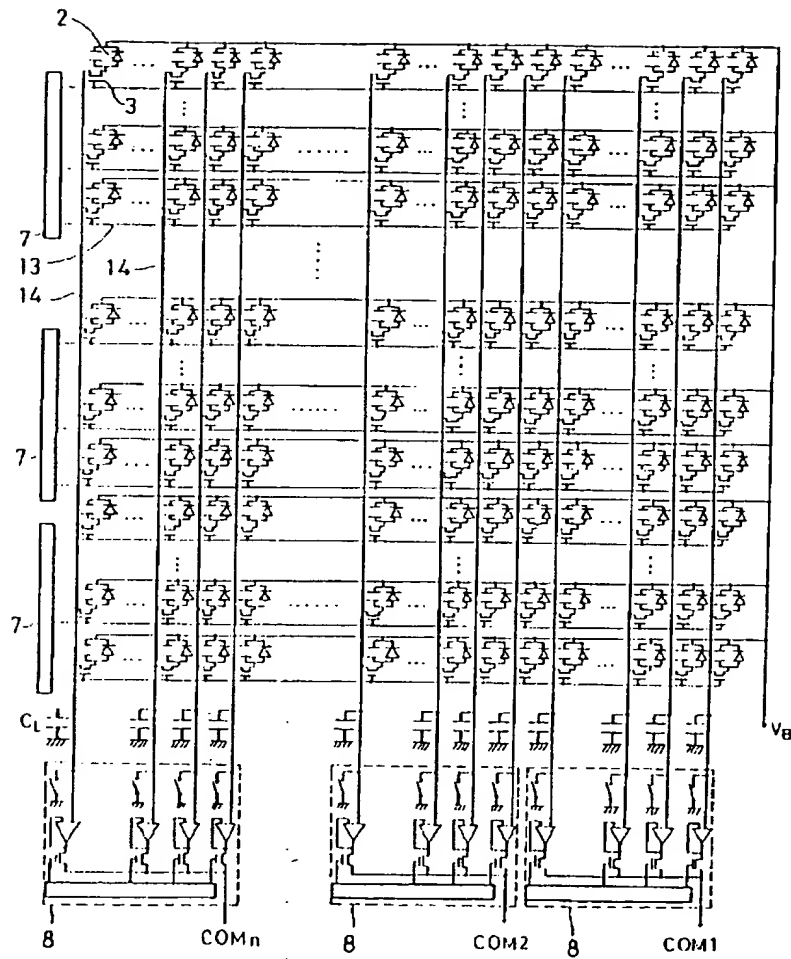
【図13】



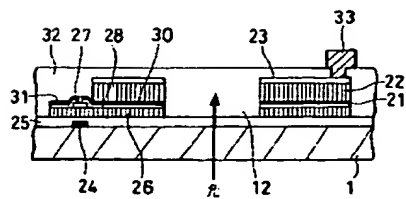
【図14】



【図12】



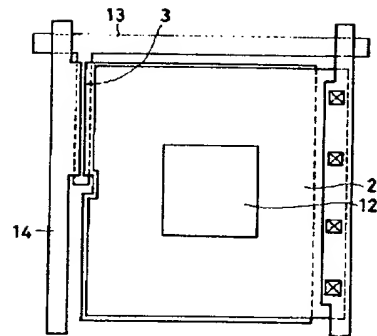
【図16】



(10)

特開平5-122440

【図15】



---

フロントページの続き

(72)発明者 小林 健一  
神奈川県海老名市本郷2274番地 富士ゼロ  
ツクス株式会社海老名事業所内